

# 並列推論マシン上の 回路レイアウトシステム

ICOT  
第7研究室  
(株)日立製作所

渡 辺 俊 典

## 目 次

- (1) はじめに  
概 要  
研究の背景  
基本思想
- (2) アプローチ概要  
回路レイアウト問題  
回路レイアウトにおける再帰構造  
制約付き再帰系の並列協調解法
- (3) 開発状況  
CO-HLEXの構成と基本アルゴリズムHRCTL  
CO-HLEXの特徴  
CO-HLEXの負荷分散法  
実験結果
- (4) まとめ  
元年度の成果  
今後の課題

# 概 要

## 研究目的

並列推論マシンの機能実証

## 研究計画

元年度：回路レイアウト基本機能の開発

2年度：機能，性能改良

3年度：機能統合，評価，まとめ

## 概 要

並列推論マシン(マルチPSI)上に，階層再帰並列協調算法  
HRCTLに基づく回路レイアウト実験システムco-HLEX  
第一版を実現し，基本動作を確認した。

HRCTL : **H**ierarchical **R**ecursive **C**oncurrent **T**heorem  
Prover for **L**ayout

co-HLEX : **C**o-operative **H**ierarchical **L**ayout **E**xpert

# 研究の背景

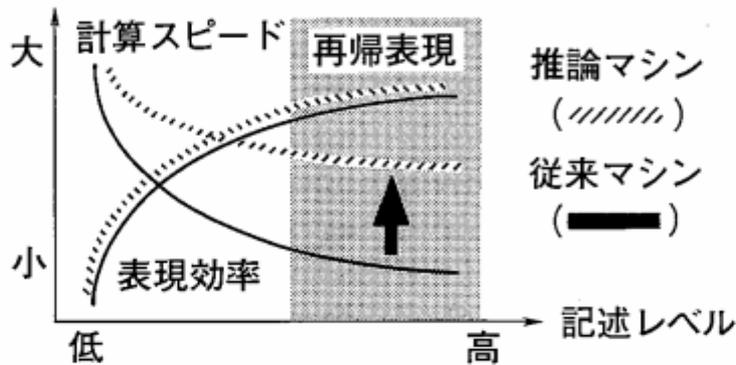
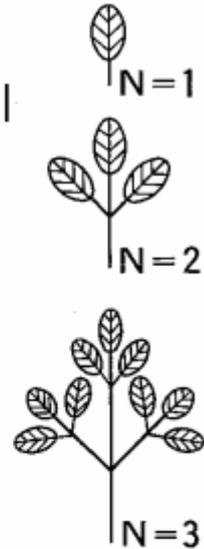
	前・中期	後 期
利用マシン	逐次型推論マシン	並列推論マシン
研究の 位置付け	逐次型推論マシン 機能実証	並列推論マシン機能実証
対 象	計算機室レイアウト	回路レイアウト
検 討 内 容	表現(Object, Logic) 推論(逐次, 図形算, 小規模) プログラム開発保守性	表現(Logic, Recursion) 推論(並列, 協調, 大規模) プログラム開発保守性

# 基本思想

## 再帰式の例 (木生成)

```

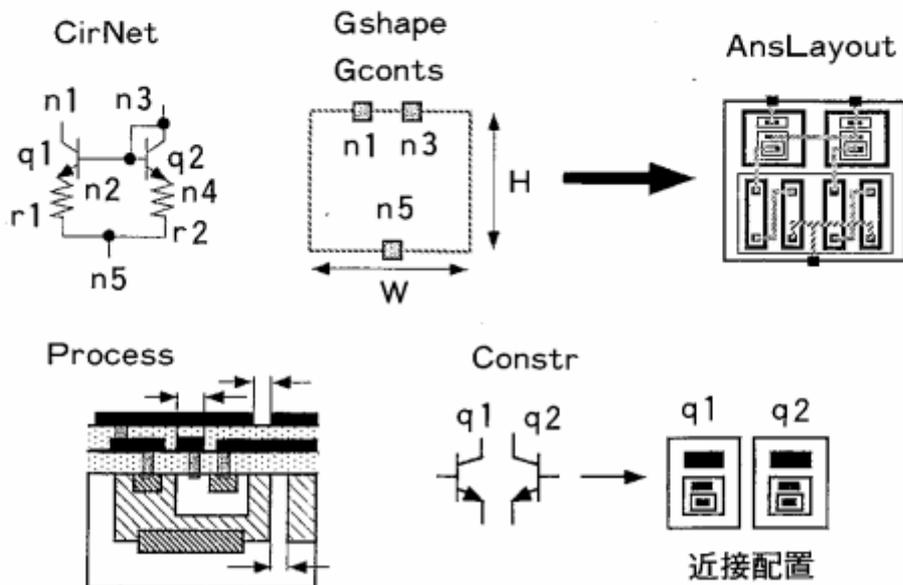
grow_tree(1, leaf).
grow_tree(N, tree(log(N), Br, Tr)) : -not(N=1) |
    grow_branches(N, Br), grow_tree(N-1, Tr).
grow_branches(N, [T, T]) : -
    grow_tree(N-1, T).
    
```



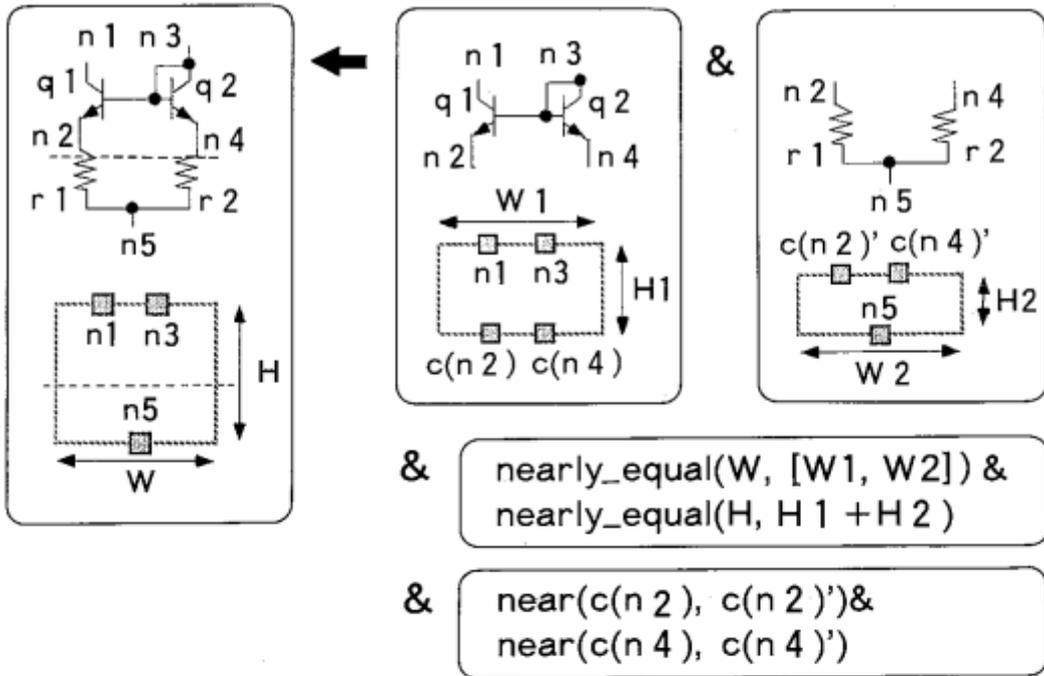
## 回路レイアウト問題

```

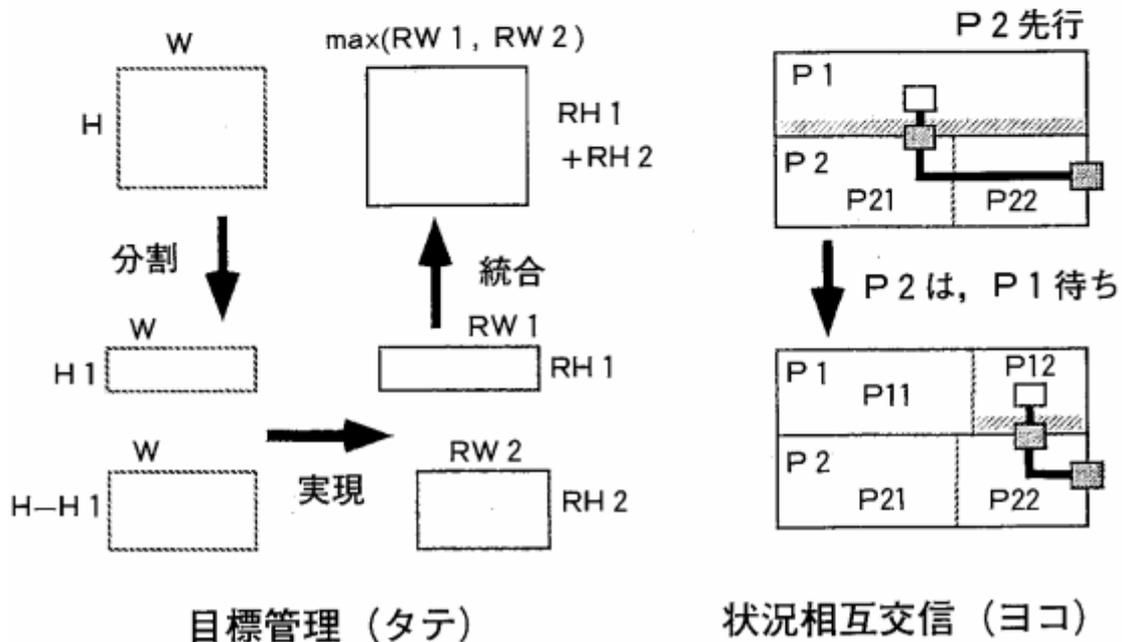
? -layout(CirNet, Gshape, Gconts,
    Constr, Process, AnsLayout).
    
```



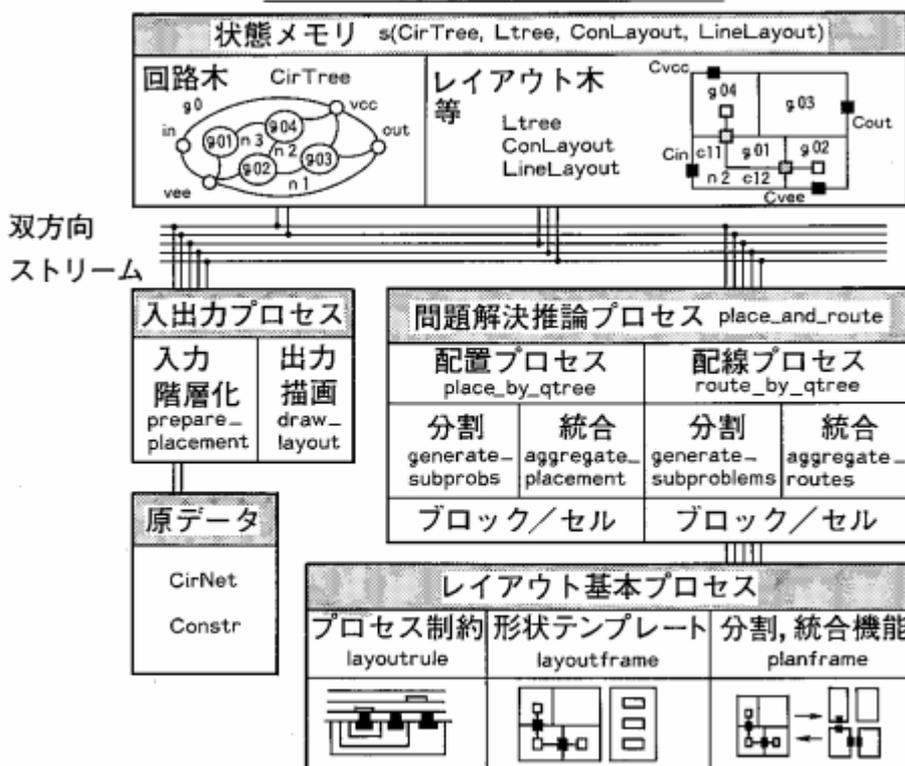
## 回路レイアウトにおける再帰構造



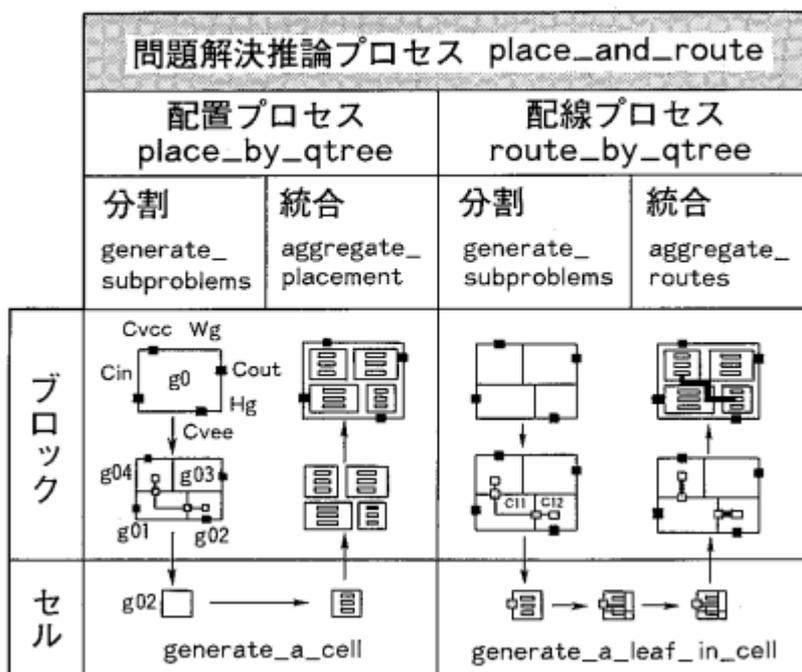
## 制約付き再帰系の並列協調解法



# CO-HLEXの構成



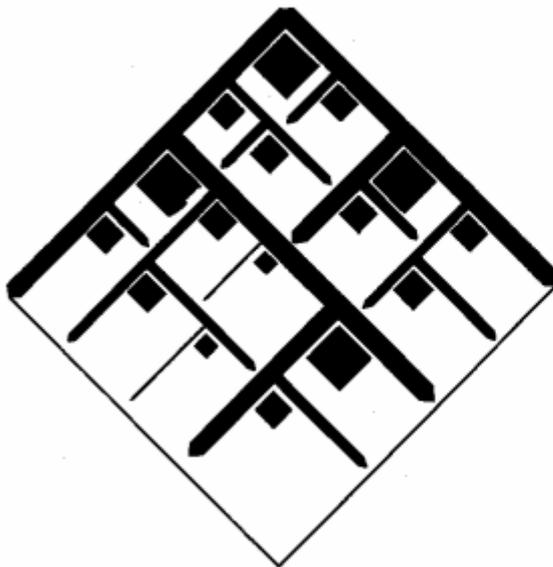
## 問題解決推論プロセス



## co-HLEXの特徴

- F.1 レイアウト方式  
階層, ビルディング・ブロック
- F.2 諸条件の考慮  
回路木生成時: 素子の遠近, 形状整合, 等  
問題分割時: 面積, 配線長, 径路, 配線率向上, 等  
統合時: 面積, 未配線対策, 特性分析, 等
- F.3 汎用性  
レイアウト基本プロセスの一部変更
- F.4 開発性  
再帰によるプログラム規模圧縮
- F.5 並列協調処理  
面積縮小: ブロック形状や配線接続位置整合

## co-HLEXの負荷分散法



PE格子とチップ分割

仮定: 通信や根回しによる  
ネック無し

Case 1 . PE数  $\gg$  Leaf数  
Time =  $o(\log(\text{Leaf}))$   
PEs =  $o(\text{Leaf})$

Case 2 . PE数  $<$  Leaf数  
Time =  $o(\log(\text{PE}) + \text{Leaf}/\text{PE})$   
PEs =  $o(\text{PE})$

算法の評価

電子回路レイアウト問題解決システム(co-HLEX)  
— 階層再帰並列協調算法HRCTLによる —

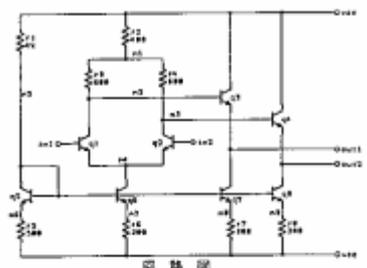
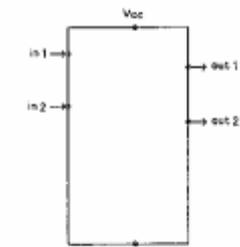


図 16 回路図

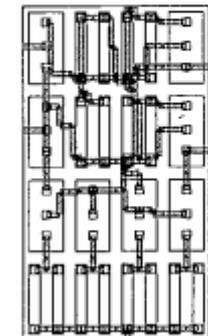
```

pmacs-71
[dacin. (0,_,_,0,_,_,_)]
  type (block,spec(.,.,.,.))
  [ (vcc,_) , (in1,_) , (in2,_) , (vee,_) ,
    (out1,_) , (out2,_) ]
  void (sin,sout,sibias,sobias)
  status (free))
[sin. (.,.,.,.,.,.)]
  type (block,spec(.,.,.,.))
  [ (in1,_) , (in1,_) , (in4,_) , (in2,_) , (in3,_) ,
    (in2,_) ]
  dacin. (r3g,r4g,q1,q2),status (free))
[sout. (.,.,.,.,.,.)]
PMACS(esp)[49,12] dacin161 i55ya>tanno>dacin161.gwn
  
```

電子回路レイアウト問題解決システム(co-HLEX)  
— 階層再帰並列協調算法HRCTLによる —



対称形状タイプ1 (左辺入力, 右辺出力)

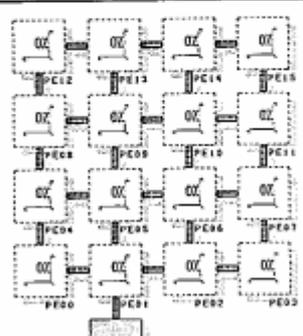
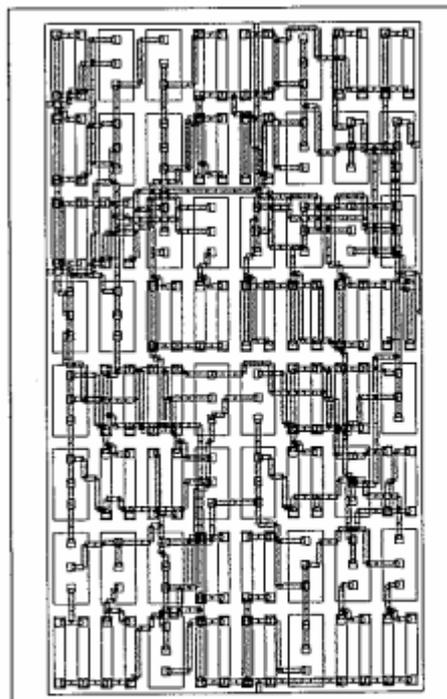


**実験結果(24 leafs : 20sec. マルチPSI/16PE)**

KL1 Listener

```

finished_route (q1d)
finished_route (r21b)
finished_route (q4c)
finished_route (q2a)
finished_route (q1b)
finished_route (r21d)
finished_route (r11a)
finished_route (q2d)
finished_route (q3c)
finished_route (q5a)
finished_route (r12a)
finished_route (q7a)
"finished co-HLEX"
  
```

**実験結果(96 leafs : 50 sec. マルチPSI/16PE)**

# ま と め

- (1) 元年度の成果
  - マルチPSI上にco-HLEX第一版を開発
  - 特徴：階層再帰並列協調算法 (HRCTL)
  - 規模：6.0Kライン/KL1 (本体：4.5, 入出力：1.5)
  - 機能：配置配線の基本機能
  - 結果：並列配置配線可能
    - 面積縮小, 配線長短縮
    - 協調によるチャンネルレス化
    - 50sec/100素子
- (2) 今後の課題
  - 性能改良：分散メモリ化等
  - 機能改良：配置配線, 回路木自動生成